



PARAZITNA KAPACITIVNOST TRANSFORMATORA KOD PROTIV-TAKTNOG PREKIDAČKOG KONVERTORA¹

TRANSFORMER PARASITIC CAPACITANCE IN PUSH-PULL SWITCHING CONVERTER

M. Stefanović*, P. Božović**, D. Stanojević***

SADRŽAJ: *Za razliku od ostalih tipova prekidačkih konvertora, protiv-taktni konvertor ima primarni i sekundarni namotaj sa srednjim izvodom, čije obe polovine moraju biti motane bifilarno zbog simetrije. U tom slučaju, parazitna kapacitivnost između krajeva primarnog odnosno sekundarnog namotaja, ili između srednjeg izvoda i oba kraja, postaje veoma značajna i može da doprinese pojavi strujnih udara kod uključanja prekidačkih tranzistora. Ovi strujni udari izazivaju dodatne probleme: povećane prekidačke gubitke, teškoće pri merenju primarne struje, šum i smetnje u radu kontrolne logike, a mogu inicirati i oscilacije u kontrolnoj petlji. U ovom radu se razmatra značaj parazitne kapacitivnosti u transformatoru kod protiv-taktnog prekidačkog konvertora. Na žalost, parazitna kapacitivnost se ne može izbeći kao uzrok, ali se mora uzeti u obzir pri projektovanju konvertora, da bi se izbegle neprijatne posledice.*

Ključne reči: *protiv-taktni konvertor, strujno programiranje, strujni udari, smetnje, oscilacije, parazitna kapacitivnost, prekidački gubici*

ABSTRACT: *Unlike the other types of switching converters, push-pull converter has center-tapped primary and secondary winding, which both halves have to be wound bifilarly in order to be symmetrical. In that case, parasitic capacitance between the ends of the primary or secondary winding, or between center tap and both ends, becomes very significant and can contribute to the appearance of the large current spikes at the turn-on of the switching transistors. These current spikes make additional problems: greater switching losses, difficulties in primary current monitoring, noise and interference in control logic operation, and can initiate oscillations in control loop. In this paper, a significance of the transformer parasitic capacitance in the push-pull switching converter, has been considered. Unfortunately, parasitic capacitance can not be avoided as a cause, but it must be taken into consideration during converter designing, so the unpleasant consequences may be avoided.*

Key words: *push-pull converter, current programming, current spikes, interference, oscillations, parasitic capacitance, switching losses*

¹ Rad je finansiran od strane Ministarstva za nauku i tehnologiju Republike Srbije, projekat S.1.03.08.294, PP2

* mr. Milan Stefanović, istraživač-saradnik, Institut za fiziku, Pregrevica 118, 11080 Zemun

** dipl.ing. Predrag Božović, stipendista Ministarstva za nauku i tehnologiju Republike Srbije

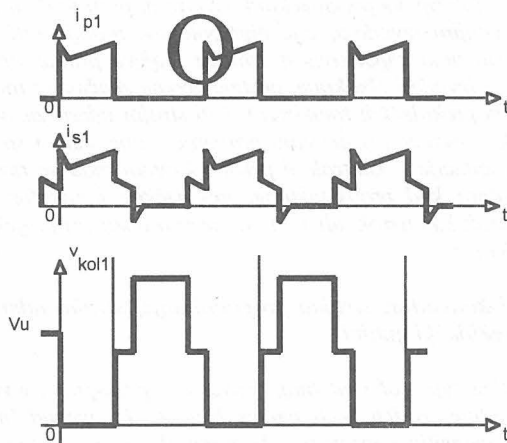
*** dipl.ing. Dušan Stanojević, direktor razvoja, TTM Cvečarska 1, 21000 Novi Sad

1. UVOD

U literaturi [1] je opisana realizacija linijskog konvertora za napajanje pretplatničkih linija u digitalnoj telefonskoj centrali. Na osnovu projektnih zahteva: ulazni napon 38-72VDC i izlazni napon 48VDC sa strujnim ograničenjem 5A do kratkog spoja na izlazu, za realizaciju je izabran protiv-taktni prekidački konvertor sa strujnim programiranjem. Pri realizaciji konvertora, primećeni su značajni strujni udari pri uključenju prekidačkih tranzistora (zaokruženo na slici 1), koji su prouzrokovali više problema:

- smetnje u radu kontrolne logike (usled zračenih EMI smetnji: neregularne oscilacije),
- nestabilnost petlje strujnog programiranja (neregularne subharmonijske oscilacije),
- nestabilnost petlje regulacije izlaznog napona (regularne oscilacije u izlaznom naponu),
- povećane prekidačke šumove (naponske šiljke) u izlaznom naponu,
- povećane prekidačke gubitke.

Uz pokušaj da se ovi problemi razreše, učinjen je i napor da se otkriju uzroci problema. Ovaj rad predstavlja rezultat tog pokušaja. Materijal u ovom radu je izložen istim onim redosledom kojim su problemi uočeni i rešavani.



Slika 1: Naponski i strujni dijagrami protiv-taktnog konvertora

U toku realizacije, problem smetnji u radu kontrolne logike je delimično rešen rekonfigurisanjem štampane ploče logike, čime je ona postala manje osetljiva na smetnje, ali time je otklonjena samo posledica, a ne i uzrok. Nestabilnost petlje strujnog programiranja je ublažena jačim filtriranjem izmerene struje prekidačkih tranzistora. Naponski šiljci na izlazu su smanjeni dodavanjem kondenzatora za premošćenje primarne i sekundarne mase ("bypass"), i postavljanjem elektrostatickog ekrana (oklop, "shield") između primarnih i sekundarnih namotaja. Pored ovoga, postavljena su snaber-kola za oblikovanje radne prave ("snubber") na tranzistore i sekundarne diode, čime su istovremeno smanjeni prenaponi na sekundarnim diodama i naponski šiljci u izlaznom naponu, a i rad kontrolne logike je postao mirniji. Zbog srazmerno visoke zahtevane efikasnosti od 85%, jedini način za smanjenje prekidačkih gubitaka je nađen u sniženju radne učestanosti sa 50 na 25kHz. Na kraju, kada su sve neželjene pojave u radu konvertora svedene na minimum, izvršena je

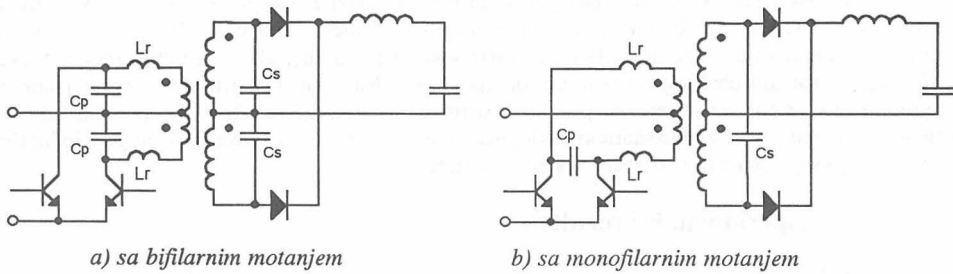
stabilizacija petlje regulacije, tako da su svi problemi praktično rešeni (bolje rečeno - eliminisani), a da je pravi uzrok pojave strujnih udara pri uključenju prekidačkih tranzistora i dalje ostao nepoznat.

Posmatranjem oblika sekundarne struje (slika 1), jasno je da strujni udari u primarnoj struji delimično potiču od inverzne struje oporavka (isključenja) sekundarnih dioda. Pored toga, postavilo se pitanje koliko ovim strujnim udarima doprinosi parazitna kapacitivnost, koja postoji između dve polovine primarnog odn. sekundarnog namotaja. Pregledom raspoložive literature, ustanovljeno je da takva mogućnost postoji, jer je u [2] opisan sličan slučaj kod "forward" konvertora, gde se pokazuje da parazitna kapacitivnost između primara i "flyback"-namotaja izaziva povećani strujni udar kod uključenja prekidačkog tranzistora, pri čemu se ovaj udar može smanjiti odgovarajućim načinom motanja transformatora i rasporedom izvoda primara, flyback-namotaja i sekundara, sa ciljem da se smanje odgovarajuće kapacitivnosti. U protiv-taktnom konvertoru, dve polovine primarnog odn. sekundarnog namotaja se motaju (bifilarno) i ponašaju na isti način kao primar i flyback - namotaj kod forward konvertora. Da bi se tačno utvrdilo koji uzrok i koliko doprinosi strujnim udarima, izvršeno je merenje parazitnih kapacitivnosti, a takođe i detaljno snimanje struja kod realizovanog konvertora.

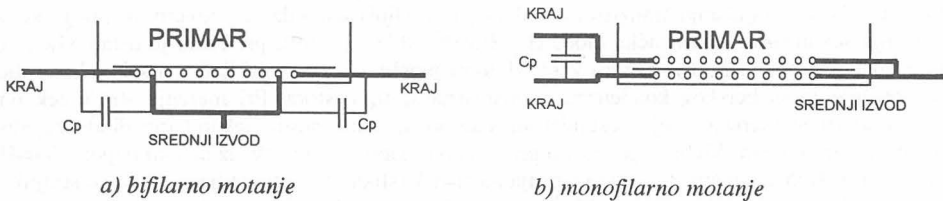
2. PROTIV-TAKTNI PREKIDAČKI KONVERTOR

a) parazitna kapacitivnot primarnog i sekundarnog namotaja

Uprošćena šema protiv-taktnog konvertora je prikazana na slici 2, poprečni presek odgovarajućeg transformatora na slici 3, a naponski i strujni dijagrami na slici 1.



Slika 2: Blok-šema protiv-taktnog konvertora



Slika 3: Presek prekidačkog transformatora

Zbog neophodne simetrije obe polovine primarnog i sekundarnog namotaja kod protiv-taktnog konvertora, obe polovine primara, kao i obe polovine sekundara, motaju se bifilarno. Na slici 3a je uočljivo da se, kod takvog motanja, krajevi obe polovine namotaja nalaze neposredno uz srednji izvod, što znači da postoji značajna kapacitivnost između srednjeg izvoda i oba kraja primarnog

namotaja. Isti zaključak važi i za sekundarni namotaj (nije nacrtan zbog preglednosti). Sa slike 2a se vidi da je, dok provodi jedan tranzistor, parazitna kapacitivnost primara C_p napunjena na vrednost ulaznog napona V_u . Dok traje "mrtvo vreme" t_d , napon na C_p pada na nulu (slika 2). Uključenjem drugog tranzistora, parazitna kapacitivnost C_p se puni do V_u direktno kroz tranzistor bez ograničenja struje (osim induktivnosti veza i rednih otpornosti, koje su male), prouzrokujući veliki strujni udar pri uključenju (zaokruženo na sl.1). Naravno, vršna vrednost struje je ipak ograničena brzinom uključenja tranzistora: što se tranzistor sporije uključuje, strujni udar je manji. Strujnom udaru doprinosi i sekundarna kapacitivnost, na sličan način.

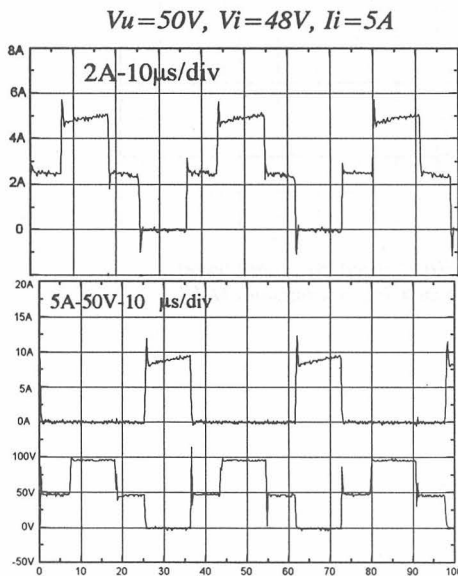
Ako se primar (odnosno sekundar) mota monofilarno (slika 3b), nema kapacitivnosti između srednjeg izvoda i krajeva, ali postoji kapacitivnost između oba kraja (slika 2b), i opet se javlja strujni udar. Dodatni problem predstavlja uočljiva nesimetrija između dve polovine primara (i sekundara) kod monofilarnog motanja.

Strujni udari izazivaju povećane prekidačke gubitke, šum i smetnje u radu kontrolne logike, a mogu inicirati i oscilacije u kontrolnoj petlji. Javljaju se i teškoće u merenju primarne struje ako se koristi strujno programiranje, naročito pri ograničenju izlazne struje do kratkog spoja, kada je tranzistor kratko vreme uključen: tada se strujni udar detektuje kao dostignuta vrednost primarne struje, što može dovesti do pojave subharmonijskih oscilacija. Postoji prost način da se strujni udari donekle smanje: usporenjem uključenja prekidačkih tranzistora, ali se time eliminišu samo smetnje, a ne i prekidački gubici. Postoji i način da se smanje parazitne kapacitivnosti: monofilarnim motanjem sa velikim razmakom između slojeva, ili višeslojnim motanjem i unakrsnim spajanjem, pri čemu nesimetrija postaje izrazita (sme samo kod strujnog programiranja), ali se povećava i rasipna induktivnost primara L_r , što izaziva povećane gubitke pri isključenju tranzistora i probleme sa ograničenjem prenapona.

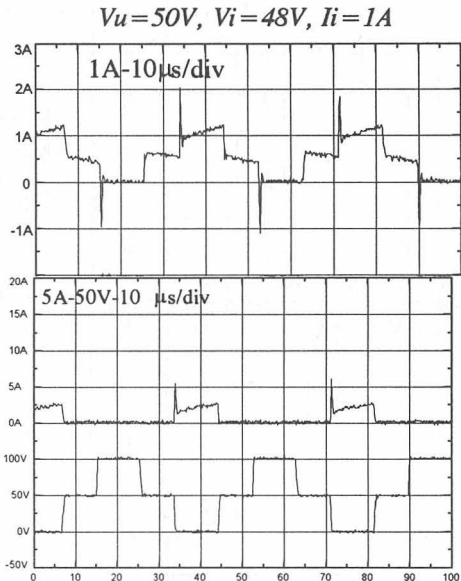
U toku realizacije laboratorijskog prototipa, vršene su probe sa različitim motanjem transformatora (na jezgru ETD44), sa monofilarnim motanjem (kao na sl.3b), kao i sa motanjem primara i sekundara u "sendvič" tehnici (primar-sekundar-primar), ali su rezultati merenja uvek bili lošiji nego u slučaju običnog bifilarnog motanja (sl.3a). Na kraju je bifilarno motanje izabrano kao krajnje rešenje, s tim da je između primara i sekundara napravljen nešto veći razmak (oko 0.3mm zajedno sa izolacijom i elektrostatičim oklopima, čime je opet nešto povećana rasipna induktivnost), pa su na ovakvoj konačnoj realizaciji vršena sva merenja.

b) eksperimentalni rezultati

Da bi se otkrio uzrok neprijatne pojave, mereni su strujni udari pri uključenju prekidačkog tranzistora (MTH30N20) u realizovanom konvertoru, pri različitim radnim uslovima. Neuobičajeno velika vrednost udarne struje (oko 5A uz vršnu vrednost struje tranzistora 9A, dakle udar iznosi 50% radne struje!) pri uključenju tranzistora (slika 4, u sredini) uslovlila je proveru strujnog udara pri isključenju sekundarne ispravljačke diode (MUR3040, slika 4, gore), pri čemu je ustanovljeno da je strujni udar pri uključenju tranzistora veći od zbira preslikane struje isključenja sekundarne diode i struje pražnjenja snaberskog kondenzatora posmatranog tranzistora. Pri merenju struje sekundarne diode, u stvari je merena struja sekundarnog namotaja, dakle struja sekundarne diode zajedno sa strujom njenog snabera. Merenje je vršeno pri ulaznom naponu $V_u=50V$, izlaznom naponu $V_i=48V$, i izlaznoj struji $I_i=5A$. Smanjenjem opterećenja na $I_i=1A$ (slika 5), ustanovljeno je da se strujni udari nisu smanjili, što je prvobitno potvrdilo pretpostavku o parazitnim kapacitivnostima kao mogućem uzroku, jer su naponi na primarnoj i sekundarnoj strani ostali nepromenjeni.



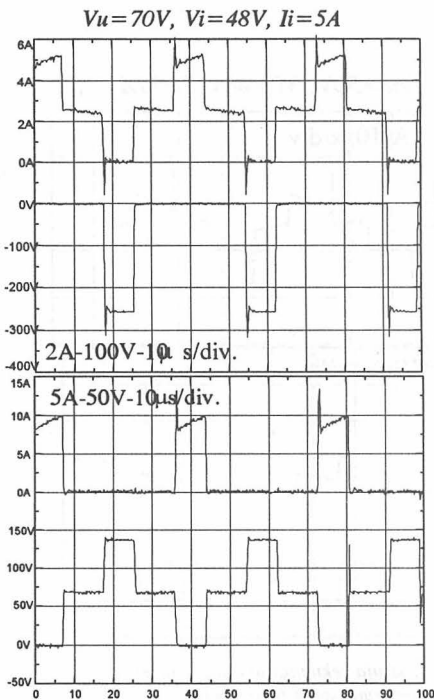
Slika 4: Struja sekundarne diode (gore),
struja tranzistora (u sredini)
i napon drejna tranzistora (dole)



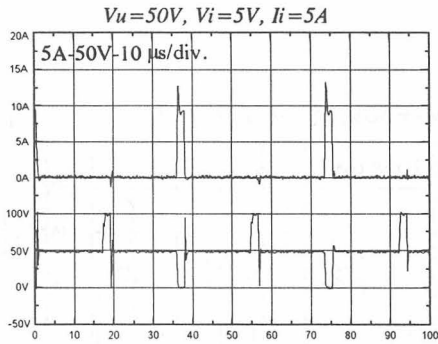
Slika 5: struja sekundarne diode (gore),
struja tranzistora (u sredini)
i napon drejna tranzistora (dole)

Na dijagramima se vidi da se strujni udar pri isključenju sekundarne diode ne menja sa opterećenjem, što upućuje na zaključak da i parazitna kapacitivnost sekundara doprinosi strujnom udaru, jer je i sekundar, kao i primar, motan bifilarno. Nešto veći strujni udari su primećeni pri ulaznom naponu 70V i istim ostalim uslovima (slika 6, obratiti pažnju na kritično prigušene oscilacije prenapona na sekundarnoj diodi, drugi dijagram odozgo).

Kritičan je slučaj niskog napona na izlazu, kada konvertor radi u režimu strujnog ograničenja (slika 7). Strujni udar pri uključenju tranzistora može da "prevari" kolo za merenje struje (pošto je u pitanju strujni programiranje), i da dovede do neregularnih subharmonijskih oscilacija. Ovaj problem se otklanja intenzivnim filtriranjem signala koji se dobija merenjem struje, što opet može da predstavlja novi problem: takvo kolo za merenje struje generalno "ne vidi" kratak strujni udar u struji tranzistora (npr. kod kratkog spoja na izlazu), pa će "ograničiti" struju na veću vrednost od željene (normalne), što može da bude fatalno za tranzistor. Na svu sreću, u ovom konvertoru postoji još i kolo za merenje i ograničenje izlazne jednosmerne struje do kratkog spoja, pa to ovde nije preterani problem.

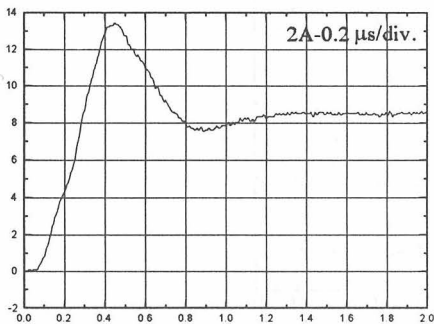


*Slika 6: Struja sekundarne diode (gore),
napon na sekundarnoj diodi,
struja tranzistora (u sredini)
i napon drejna tranzistora (dole)*

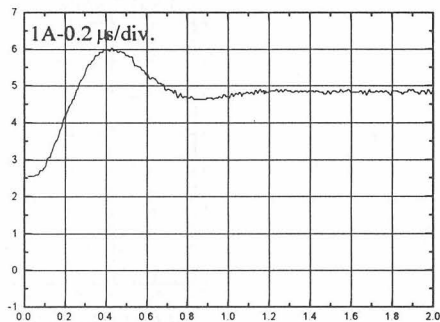


*Slika 7: Struja tranzistora (gore)
i napon drejna tranzistora (dole)*

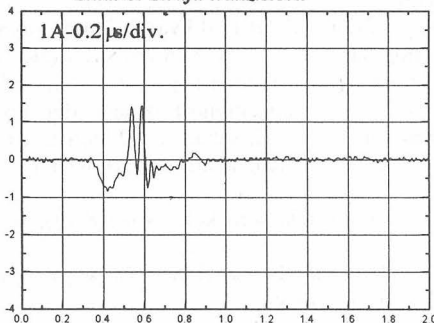
Merenje struja na primaru i sekundaru, pri istim uslovima kao na slici 4, ponovljeno je sa manjom vremenskom bazom (200ns, slike 8-11), da bi se preciznije odredile vrednosti struja, i da bi se uočilo da je strujni udar struje tranzistora (oko 5A, slika 8) veći od zbira preslikane struje sekundara 2.4A (1.2A pomnoženo prenosnim odnosom 2, slika 9), struje pražnjenja snabera tranzistora (0.8A, slika 10: struja snabera je negativna, ali se kao pozitivna vrednost dodaje udarnoj struji tranzistora), i struje dopunjavanja snabera (1.5nF+82W+MUR420) i klamp-kola drugog tranzistora (1A, sl.11). Na slici 9, struja sekundarne diode "startuje" od vrednosti 2.5A, što je i normalno jer su pre uključanja tranzistora provodile obe sekundarne diode, i to podjednaku struju (u idealnom slučaju, što ovdje nije daleko od realnog slučaja). Struja sekundarne diode je u stvari struja sekundarnog namotaja, tj. struja diode sa njenim snaberom. Struja gašenja "klamp"-diode je zanemarljiva. Gde je razlika od oko 0.8A?



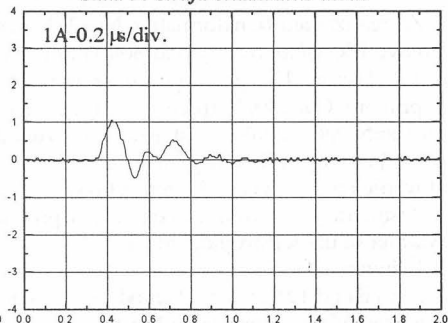
Slika 8: Struja tranzistora



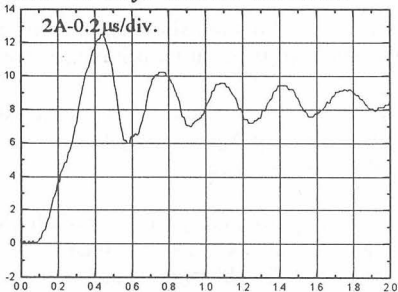
Slika 9: Struja sekundarne diode



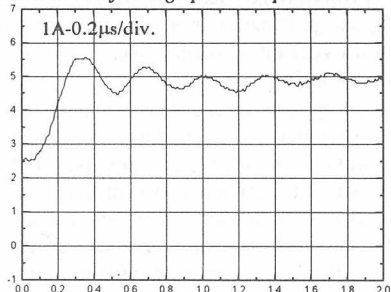
Slika 10: Struja "snabera" tranzistora



Slika 11: Struja druge polovine primara



Slika 12: Struja tranzistora bez snabera na sekundaru

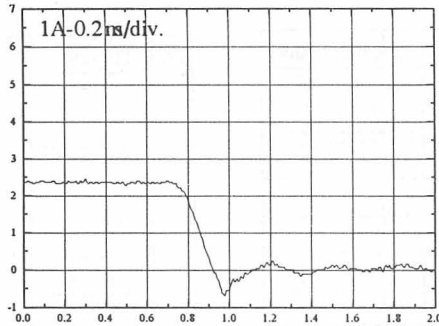


Slika 13: Struja sekundarne diode (bez snabera)

Pomenuta razlika u struji potiče od punjenja odnosno pražnjenja parazitne kapacitivnosti sekundara prekidačkog transformatora, što će biti dokazano u sledećem odeljku. S obzirom da se radi o parazitnim efektima u samom transformatoru, struja kroz parazitne kapacitivnosti se ne može meriti; jedina egzaktna potvrda ove pretpostavke se može dobiti pomoću SPICE simulacije. Međutim, i bez simulacije se na onovu pažljivog posmatranja dobijenih dijagrama mogu izvući odgovarajući kvalitativni i kvantitativni zaključci.

Radi sticanja potpunog uvida u fenomen, na slikama 12, 13 i 14 su prikazani vremenski dijagrami struje tranzistora i struje sekundarne diode, za slučaj kada je sa sekundarnih dioda otkaćen snaber (1.5nF+82W na svakoj diodi), snimani pri istim uslovima kao na slikama 8 i 9.

3. DISKUSIJA REZULTATA



Slika 14: Isključenje sekundarne diode
(bez snabera)

Za realizovani transformator: $N_p=2 \times 13$ navojaka (žicom Cu1 f1.0 kvadrifilarno u dva sloja po 6.5, po dve file sačinjavaju jednu polovinu primarnog namotaja) i $N_s=2 \times 26$ navojaka (žicom f1.0 bifilarno u 2 sloja po 13), primenom metode iz [3] izmerena je parazitna kapacitivnost između dve polovine primara $C_p=250\text{pF}$ (prema slici 2a), i odgovarajuća kapacitivnost između dve polovine sekundara $C_s=520\text{pF}$. Induktivnost jedne polovine primara je 590mH , sekundara 2.36mH , a rasipna induktivnost polovine primara je $L_r=1.2\text{mH}$. Ovi parametri su neophodni za računsku proveru i argumentovanje ranije navedenih pretpostavki.

Posmatranjem strujnih dijagrama u primarnom i sekundarnom kolu (slike 8-14), može se konstatovati da su uzroci strujnog udara:

----- 1. inverzna struja oporavka (isključenja) sekundarnih dioda. Kritičan slučaj se javlja ako je izlazni napon viši od 12V, što povlači određene nepovoljne posledice:

a) nameće se upotreba "ultra-fast" dioda za viši napon, a one se gase sporije i sa većom inverznom strujom nego "schottky" diode;

b) ako je izlazni napon viši od ulaznog (kao u ovom konkretnom slučaju), tj. prenosni odnos transformatora veći od 1, struja gašenja diode se preslikava u veću struju na primaru, i tada je ovaj uzrok dominantan [4];

----- 2. struja pražnjenja snabera na posmatranom tranzistoru, i struja dopunjavanja snabera i klampa na drugom tranzistoru. Ove struje se mogu minimizirati pažljivim projektovanjem snabera odn. klamp-kola, a to opet zavisi od rasipnih induktivnosti transformatora;

----- 3. parazitne kapacitivnosti primara i sekundara:

a) parazitna kapacitivnost primara daje kratkotrajni strujni udar, jer nema rednih elemenata u kolu koji bi usporili uspostavljanje struje i produžili njeno trajanje. Ovaj strujni udar je veoma brz, porediv sa brzinom uključenja tranzistora, i teško se uočava jer je uklopljen u prednju ivicu struje tranzistora (na slici 8 je to deo sa povećanim nagibom, u prvih 100ns uspostavljanja struje tranzistora; posle tog udara se vidi koleno na oko 4A, a zatim se porast struje nastavlja zbog drugih uzroka). Ovaj početni strujni udar predstavlja čiste prekidačke gubitke, i postaje dominantan pri visokom naponu napajanja, npr. za ispravljeni mrežni napon 300VDC, a tada i povećanje prekidačkih gubitaka postaje značajno. U tom slučaju, strujni udar se može donekle smanjiti usporjenjem uključenja tranzistora.

Na primarnoj strani, uz pretpostavljeni $dv/dt=50\text{V}/50\text{ns}$ (što nije nerealno), koristeći prostu relaciju $ic=Cdvc/dt$, dobija se da strujni udar kod punjenja parazitne kapacitivnosti od 250pF iznosi 0.25A. U ovom slučaju je to zanemarljivo, ali za npr. mrežni napon napajanja 300V, sa istim ostalim uslovima (što nije realno, jer će parazitna kapacitivnost biti sigurno veća), strujni udar će iznositi najmanje 1.5A, što je merljivo sa radnom strujom za snagu od minimalno 100W. Zaključak: ne koristiti protiv-taktnu konfiguraciju sa mrežnim napajanjem!;

b) parazitna kapacitivnost sekundara, u sprezi sa rasipnom induktivnošću primara, izaziva oscilacije u struji sekundara odn. primara, u trenucima kada se sekundarna dioda uključuje i isključuje. Ovo se jasno vidi na slikama 12-14: parazitna kapacitivnost sekundara, preslikana između krajeva primarnog namotaja, iznosi 1040pF, što sa rasipnom induktivnošću 2.4mH (rasipne induktivnosti obe polovine primara, vezane redno) daje periodu oscilovanja od 314ns, a to odgovara oscilacijama u struji tranzistora (slika 12) i struji sekundarne diode (slika 13), za slučaj bez snabera na sekundarnim diodama. Pored toga, korišćenjem relacije $vL=LdiL/dt$, pri $V_u=50V$, računski se dobija da rasipna induktivnost primara usporava porast struje tranzistora (strujni udar) na vrednost od oko 40A/ms, a to odgovara nagibima od 13A/0.35ms na slikama 8 i 12. Ovo je dokaz da je parazitna kapacitivnost sekundara odgovorna za razliku od 0.8A u strujnom udaru: sve što se dešava sa kašnjenjem određenim rasipnom induktivnošću primara, događa se iza te induktivnosti, dakle na sekundaru!

Što se tiče kvantitativnog određenja parazitnih kapacitivnosti, u literaturi je problem parazitnih kapacitivnosti detaljno razmatran u [3], [4], [5], [6], gde se daju i uputstva za proračun i merenje sopstvenih parazitnih kapacitivnosti namotaja, kao i proračun dinamičke kapacitivnosti između pojedinih slojeva odn. namotaja. Takođe, u literaturi se navode i načini motanja za smanjenje parazitne kapacitivnosti [3], [5], od kojih mnogi, npr. motanje u sektorima odn. sekcijama, na žalost, nisu primenljivi za motanje prekidačkih transformatora, a osim toga drastično povećavaju rasipnu induktivnost.

4. ZAKLJUČAK

U ovom radu se razmatra značaj parazitne kapacitivnosti u namotajima transformatora protiv-taktnog prekidačkog konvertora, tj. uticaj ovih kapacitivnosti na strujni udar koji se javlja pri uključanju prekidačkog tranzistora. Utvrđeno je da su uzroci ovog strujnog udara: struja isključenja sekundarne diode, struja pražnjenja snabera i struja dopunjavanja drugog snabera i klamp-kola, i parazitna kapacitivnost primara i sekundara transformatora.

Protiv-taktni konvertor ima primarni i sekundarni namotaj sa srednjim izvodom, čije se obe polovine motaju bifilarno zbog simetrije. U tom slučaju, parazitna kapacitivnost između srednjeg izvoda i oba kraja, postaje veoma značajna i doprinosi pojavi strujnih udara kod uključanja prekidačkih tranzistora. Ovi strujni udari izazivaju poznate probleme: povećane prekidačke gubitke, teškoće pri merenju primarne struje, šum i smetnje u radu kontrolne logike, a mogu inicirati i oscilacije u kontrolnoj petlji. Na žalost, parazitna kapacitivnost se ne može jednostavno smanjiti određenim načinom motanja, ali se mora uzeta u obzir pri projektovanju konvertora, da bi se izbegle neželjene i neprijatne posledice.

LITERATURA

- [1] M.Stefanović, P.Božović, D.Stanojević: "Linijski konvertor 48-60V/48-60V,5A u sistemu napajanja digitalne telefonske centrale", XXXIX Konferencija ETRAN, zbornik radova - elektronika, Zlatibor, jun 1995.
- [2] Z.Tatarović, V.Slavković, M.Stefanović: "Reduction of the Parasitic Capacitance Influence in the Forward Converter Transformer", PCIM'91 Conference Proceedings (Power Conversion), Nuernberg, Germany, june 1991, pp.21-29.
- [3] Grossner: "Transformer for Electronic Circuits", McGraw-Hill, 2nd edit., 1967, pp.331-337.
- [4] B.Huffman: "Transformer Parasitic Capacitance Affects Switcher Design", Powerconversion/Intelligent Motion, may 1990, vol.16 no.5, pp.56-62.
- [5] W.Rippel, W.McLyman: "Design Techniques for Minimizing The Parasitic Capacitance and Leakage Inductance of Switched-Mode Power Transformers", Proceedings of the 9th PCI/Motorcon Conference, march 1982, San Francisco, CA, USA, pp. A11-12.
- [6] V.Voznenko, A.Kovaq, i dr.: "Radiodetaqi, radiokomponenti i ih rasčet", Sovetskoe radio, Moskva, 1977, str. 174-176.