



PROJEKTOVANJE PID REGULATORA ZA DIGITALNI REGULATOR POBUDE SINHRONIH GENERATORA

Jasna Dragosavac, Žarko Janda, Ilija Stevanović, Tomislav Gajić
Elektrotehnički institut „Nikola Tesla“

Sadržaj: *Savremeni digitalni regulatori pobude sinhronog generatora realizuju se sa proporcionalnim, integralnim i diferencijalnim dejstom. Podešavanje PID parametara tokom puštanja regulatora pobude u rad, uvek je vremenski i manipulativno ograničeno. Stoga je potrebno u laboratorijskim uslovima izvršiti primarno podešavanje parametara PID regulatora i te vrednosti koristiti kao početne za podešavanja na terenu. U radu je prikazano projektovanje PID regulatora digitalne pobude sinhronog generatora.*

Ključne reči: *digitalni regulator pobude, PID regulator, sinhroni generator*

1. UVOD

U vladajućim uslovima na modernom tržištu, proizvođači uređaja u energetici su često primorani da koriste industrijski gotove komponente za napajanje, galvansku izolaciju, merenje (različiti pretvarači snage struje, napona, frekvencije i dr.), regulaciju i upravljanje (programabilni logički kontroleri). Serijska proizvodnja ovih komponenti učinila ih je nezaobilaznim ne samo po ceni, kvalitetu već i zbog posedovanja odgovarajućih sertifikata iz sistema kvaliteta na kojima naručioci uređaja sve češće insistiraju.

PLC automati su veoma zahvalni za upravljačke konfiguracije koje zahtevaju kratko vreme razvoja i prilagođavanje delova upravljačkog algoritma na mestu ugradnje uređaja. Takođe, ovi uređaji su snažno orijentisani prema korisniku i veoma fleksibilni. S druge strane, nedostatak PLC automata u vremenski zahtevnim aplikacijama može da bude brzina rada.

Zbog fleksibilnosti i odgovarajuće imunosti na smetnje, i zbog visoke pouzdanosti u radu, PLC automati se nameću kao opcija za realizaciju regulacije pobude sinhronih generatora.

PLC automat je veoma pouzdana komponenta (sa retkim otkazima), robusna na smetnje, šumove, vibracije i sl. U savremenom PLC uređaju se po pravilu nalazi i programski blok koji izvršava PID funkciju, pomoću koje se može realizovati digitalni regulator. Međutim, primena takve PID funkcije u okviru digitalnog regulatora pobude sinhronog generatora zahteva

određenu predostrožnost. Pokazuje se da je veoma nezahvalno koristiti autotuning funkciju na probnom modelu. S druge strane, vreme raspoloživo za podešavanje parametara digitalnog PID regulatora pobude sinhronog generatora je uvek veoma ograničeno i ne dozvoljavaju se agresivne metode podešavanja koje zahtevaju izazivanje oscilacija regulacionog sistema.

Takođe, sam izlaz digitalnog regulatora se mora ograničiti na vrednosti koje se fizički mogu realizovati u okviru aktuatora. Prilikom projektovanja regulatora posebna pažnja posvećena je realizaciji integralnog dejstva. Pored ograničenja izlaza mora se ograničiti i vrednost integratora. U suprotnom kada regulator radi u zasićenju integrator bi se "prepunio", tj. imao vrednosti koje je fizički nemoguće imati na izlazu. Posledica prepunjavanja integratora je veliki prebačaj upravljačke veličine po izlasku regulatora iz zasićenja, jer je potrebno vreme da integrator dostigne fizički smislenu vrednost. Prikazane su varijante PID regulatora bez ograničenja veličine integralnog dejstva i sa ograničenjem vrednosti integralnog dejstva. Varijanta PID regulatora sa ograničenjem integralnog dejstva realizovana je sa konstantnim i promenljivim granicama. Za konstantnu granicu uzete su maksimalna i minimalna fizički ostvariva vrednost izlaza regulatora. Regulator sa promenljivim granicama ima za cilj da umani efekte nelinearnosti, tipa zasićenja, izlaza regulatora. Vrednost integratora se ograničava na vrednost koja je jednaka razlici maksimalne vrednosti izlaza i zbira proporcionalnog i diferencijalnog dejstva. Tako se postiže da pri step pobudi vrednost integratora nema veliki prebačaj u odnosu na vrednost po završetku prelaznog procesa.

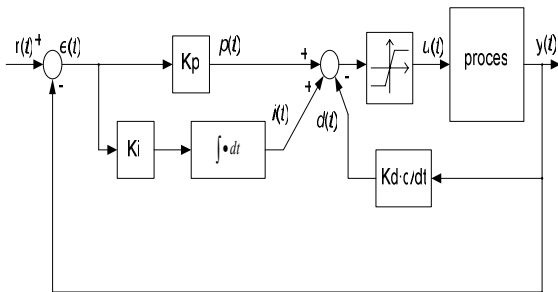
Provera odziva različitih PID regulatora izvršena je na laboratorijskom modelu. Osnovni razlozi upotrebe laboratorijskog modela su nemogućnost eksperimentisanja na skupom objektu (sinhronom generatoru), nemogućnost korišćenja agresivnih metoda podešavanja parametara (sa uvođenjem u samooscilovanje) i efekat promena vremenskih konstanti objekta zavisno od radne tačke sinhronog generatora (doduše u ograničenom opsegu) koji se lakše simulira u laboratoriji i tako ispituje njihov uticaj na regulaciju. Odzivi su poređeni sa odzivom dobijenim upotrebom standardnog analognog regulatora. Podešene vrednosti

PID parametara na laboratorijskom modelu su korišćene kao početne vrednosti pri puštanju regulatora u rad na objektu termoelektrane. Pokazalo se da su početne vrednosti bile vrlo bliske konačnim podešenjima regulatora pobude sinhronog generatora u termoelektrani.

2. REALIZACIJA PID REGULATORA

PID regulator je realizovan kao posebno napisan funkcijski blok u okviru lider dijagrama industrijskog PLC automata [3]. Upotreba već postojećeg bloka PID funkcije se nije pokazala zadovoljavajućom. Realizovan je PID algoritam (1) pri čemu je diferencijalno dejstvo tako modifikovano da je uklonjen uticaj reference i ostavljen samo uticaj izlaza iz procesa, kao na slici 1.

To je standardni način [6,7] izbegavanja uticaja naglih promena reference. U ovoj aplikaciji to je bitno pošto se referenca napona sinhronog generatora uvek menja skokovito.



Sl. 1. Principijelni blok dijagram odabranog PID regulatora.

$$U(k) = INT(k) + Kd \cdot (Y(k-1) - Y(k)) + Kp \cdot E(k) \quad (1)$$

U jednačini (1) $U(k)$ je izlaz iz regulatora, INT je suma greški u prethodnim trenucima odabiranja, pomnožena sa integralnim pojačanjem i periodom odabiranja, Kd je diferencijalno pojačanje podeljeno sa periodom odabiranja, $Y(k)$ je izlaz procesa, Kp je proporcionalno pojačanje i $E(k)$ je greška. Odabran je PID algoritam u pozicionoj formi napisan sa zadnjim razlikama.

Izlaz digitalnog regulatora se mora ograničiti na vrednosti koje se fizički mogu realizovati, a u ovom slučaju to je opseg između 0 i 1, koji odgovara vrednosti trajanja radnog ciklusa prekidača u energetskej strukturi čopera spuštača napona.

Prilikom projektovanja regulatora posebna pažnja posvećena je realizaciji integralnog dejstva. Pored ograničenja izlaza mora se ograničiti i vrednost integratora, a odabrana poziciona forma algoritma je pogodna za implementaciju. U suprotnom, kada regulator radi u zasićenju integrator bi se "prepunio", tj. imao vrednosti koje je nemoguće imati na izlazu. Posledica prepunjavanja integratora je veliki prebačaj upravljanje veličine po izlasku regulatora iz zasićenja, jer je potrebno određeno vreme da integrator ponovo dostigne fizički smislenu vrednost. Na slikama 1 i 2 prikazane su varijante PID regulatora bez ograničenja veličine integralnog dejstva i sa ograničenjem vrednosti integralnog dejstva. Varijanta PID regulatora sa

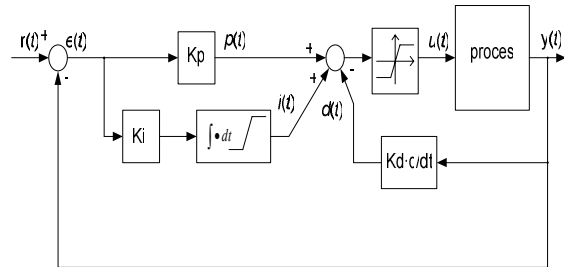
ograničenjem integralnog dejstva realizovana je sa konstantnim i promenljivim granicama.

2.1 Fiksne granice integratora

Za konstantnu granicu uzete su maksimalna i minimalna fizički ostvariva vrednost izlaza regulatora (u ovom slučaju vrednosti relativnog trajanja ciklusa (duty cycle) 0 i 1) tj.

$$d(n) = \max(\min(d(n)_{izračunato}, 1), 0). \quad (2)$$

Odgovarajući blok dijagram je prikazan na slici 2.



Sl. 2. Blok dijagram PID regulatora sa ograničenjem sadržaja integratora.

2.2 Promenljive granice integratora

Regulator sa promenljivim granicama integralnog dejstva ima za cilj da umani efekte nelinearnosti, tipa zasićenje izlaza regulatora. U stacionarnom stanju (pri 0 grešci) integralno dejstvo jednako je izlazu regulatora (P i D dejstvo su jednaki 0), a u normalnom radu regulatora u stacionarnom stanju regulator nikada nije u zasićenju. Međutim, tokom prelaznog procesa može doći do ekstremnih vrednosti integralnog dejstva. Da bi integralno dejstvo, tokom prelaznog procesa, uzelo vrednosti koje ima u stacionarnom stanju, sistem mora određeno vreme da se nalazi „u prebačaju“. Ova situacija se može izbeći ako se integralno dejstvo ne ograničava na ekstremnu vrednost izlaza već ako se, dok je integrator u zasićenju, održava ispod vrednosti koju ima u stacionarnom stanju, oduzimanjem P i D dejstva od ekstremne vrednosti izlaza. Na ovaj način izlaz je u zasićenju, a integralno dejstvo „polako, sa jedne strane prilazi“ stacionarnoj vrednosti. Nedostatak ovog rešenja je kada je stacionarno stanje blizu zasićenja, kao što je kod upotrebljenog laboratorijskog modela bio slučaj (mali ugao provođenja), integrator nestabilno radi.

Radna tačka laboratorijskog modela je izabrana blizu granice zasićenja. Ovakav izbor je načinjen da bi laboratorijski model što vernije predstavljao realni sistem. Takvo konstruktivno rešenje je uslovlilo realizaciju regulatora sa fiksnim granicama sadržaja integratora.

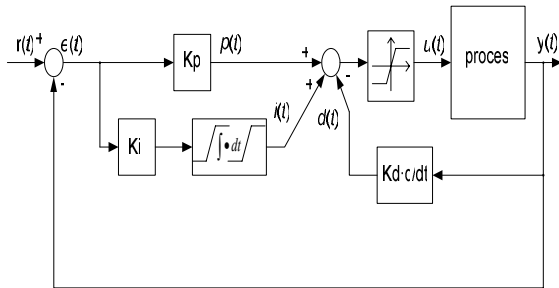
2.3 Ograničenje ulaza u integrator

Integralno dejstvo negativno utiče na brzinu i stabilnost sistema u prelaznom procesu. S druge strane integralno dejstvo je neophodno da bi se postigla nulta greška u stacionarnom stanju. Kompromis između oprečnih zahteva posignut je realizacijom PD regulatora

u prelaznom procesu i naknadnim “uključivanjem” I dejstva.

Problemi koji se javljaju pri ovom pristupu su:

- i) odabir trenutka uključivanja I dejstva
- ii) izbor početne vrednosti I dejstva
- iii) nestabilnost rada regulatora u trenutku uključivanja I dejstva



Sl. 3. Blok dijagram PID regulatora sa ograničenjem sadržaja integratora i ulaza u integrator.

Koncept PID regulatora sa naknadnim uvođenjem I dejstva je realizovan ograničenjm ulaza integratora. Na ovaj način efektivna vrednost I dejstva

$$I = \frac{INT(k) - INT(k-1)}{E(k)} \quad (3)$$

je smanjena u prelaznom procesu. Problemi i) ii) i iii) su inherentno rešeni. Odgovarajući blok dijagram je prikazan na slici 3.

3. PODEŠENJE PARAMETARA PID REGULATORA

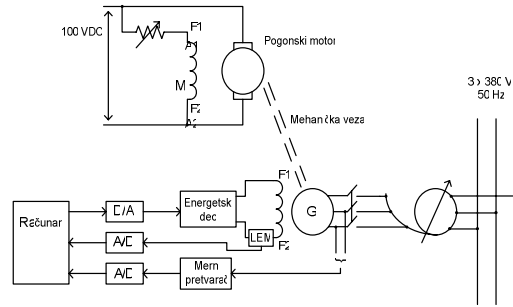
Određivanje parametara PID regulatora je urađeno u kontinualnom domenu, korišćenjem frekventnih dijagrama [6,7]. Korišćen je klasičan pristup tako što su kompenzovana dva pola objekta regulisanja i sistem je napravljen astatičkim, uz presek asimptotske karakteristike slabljenja amplitude i frekventne ose pod nagibom od -20 dB/dek. Odabrana kružna frekvencija preteka faze je $\omega_p = 0,4 \text{ rad/s}$.

Zatim je izvršena diskretizacija PID regulatora uz upotrebu zadnjih razlika. Vreme odabiranja implementirnog PID algoritma je 10 ms što je značajno manje od najmanje vremenske konstante u procesu, koja je reda jedne sekunde. Na takav način izvršena diskretizacija je zahtevala naknadno fino podešavanje vrednosti parametara regulatora, koje je izvršeno putem superponiranja četvrtastog talasnog oblika na konstantnu vrednost reference i praćenja odgovarajuće promene odziva. Krajnji rezultat je prikazan na slici 5.

4. EKSPERIMENTALNI REZULTATI

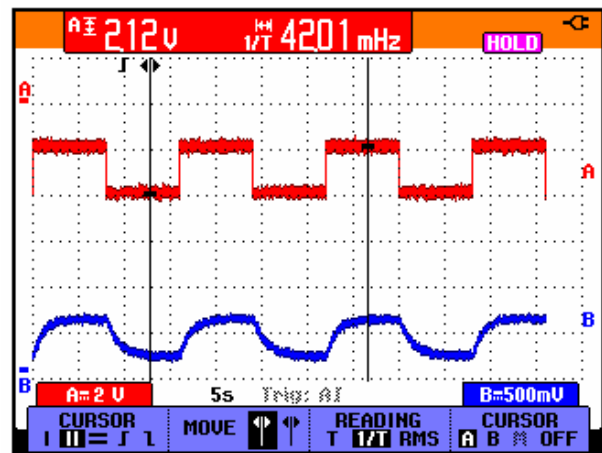
U laboratoriji je postavljen ispitni model čija je energetska šema prikazana na slici 4. Pogonski motor je motor jednosmerne struje sa otočno vezanom pobudom. Taj motor je mehanički spojen sa malim sinhronim generatorom koji ima veoma malu vremensku konstantu pobude (dobijen je vezivanjem asinhronog motora sa namotanim rotorom tako da mu se na dva prstena rotora dovodi jednosmerna struja). Energetski deo je realizovan kao čoper spuštač napona [5] (buck converter), čija je

prenosna funkcija čisto pojačanje, sa zanemarivim unutrašnjim kašnjenjem zbog visoke noseće frekvencije PWM signala (oko 10 kHz). Da bi se uveo efekat koji odgovara kašnjenju realnog sinhronog generatora i njegove budilice (blok A1 na TENT-A), između analognog upravljačkog ulaznog signala čopera i odgovarajućeg D/A izlaza su vezana dva niskopropusna RC kola sa jediničnim pojačavačima. Tako je uneto kašnjenje od dve vremenske konstante, koje odgovara realnim uslovima kada je mašina A1 priključena na mrežu. Odgovarajuće vremenske konstante su $T_1 = 2,2 \text{ s}$ i $T_2 = 1 \text{ s}$ (dobijene analizom fabričkih podataka i ranijih snimaka odziva sinhronog generatora na bloku A1).



Sl. 4. Energetska šema veza ispitnog kola

Digitalni regulator (označen kao računar na slici 4) je zapravo implementiran na industrijskom PLC automatu. Blok instrukcija za PID funkciju se nije pokazala zadovoljavajućom pa je napisana nova blok instrukcija.



Sl. 5. Talasni oblici promenljive reference i odziva izlaznog napona na laboratorijskom modelu, posle finog podešavanja parametara PID regulatora.

5. ZAKLJUČAK

U radu je prikazan praktični postupak projektovanja digitalnog automatskog regulatora napona sinhronih generatora, realizovan korišćenjem PLC hardverske osnove. Rešenje je primenjeno na sistemu pobude generatora A1 u TE „Nikola Tesla A“.

Osim analognog izlaza za upravljanje BUCK izlaznim stepenom, PLC regulator generiše komandne i zaštitne signale i signalizaciju. PLC generiše izlazni upravljački signal u opsegu $\pm 10 \text{ V}$ koji se prosleđuje na upaljački

stepen čopera, preko umetnutih analognih vremenskih konstanti koje simuliraju budilicu i sinhroni generator. Regulacija napona realizovana je primenom modifikovanog PID upravljačkog algoritma. Jednostavna promena parametara regulacije omogućila je optimalno podešenje procesa regulacije.

Podešene vrednosti PID parametara na laboratorijskom modelu su korišćene kao početne vrednosti pri puštanju regulatora u rad na objektu termoelektrane. Početne vrednosti bile su vrlo bliske konačnim podešenjima regulatora pobude.

6. REFERENCE

- [1] I. Stevanović, Z. Čirić, D. Arnautović: Klasifikacija i prikaz stanja sistema pobude sinhronih generatora u Elektroprivredi Srbije, Elektroprivreda, br. 2, Beograd, 2007., str. 31-39.
- [2] I. Stevanović, Z. Čirić, J. Dragosavac, D. Arnautović: Rekonstrukcija sistema pobude generatora u Vlasinskim hidroelektranama, Elektroprivreda, br. 1, Beograd, 2000., str. 56-64.
- [3] Omron: Instruction Reference Manual, Programmable Controllers CJ1M CPU13, Cat. No. W340-E1-09, Revised June 2003.
- [4] J. Dragosavac, M. Janković, Ž. Janda: Savremena digitalna realizacija pobudnih sistema za male sinhronne mašine - J₃, 12th International Symposium on Power Electronics - Ee 2003, Novi Sad, Serbia&Montenegro, November 5th - 7th, 2003.
- [5] J. Dragosavac, N. Selaković: Automatski regulator pobude sinhronog generatora sa BUCK izlaznim stepenom, YUKO CIGRE, Grupa 14, 14-02, Banja Vrućica-Teslić, 2003.

- [6] PID Controllers: Theory, Design and Tuning, K. J. Åström, T. Hägglund, Instrument Society of America, 1995,
- [7] Practical PID control, A. Visioli, Springer-Verlag London Limited, 2006

THE SYNCHRONOUS GENERATOR DIGITAL EXCITATION PID CONTROL DESIGN

Abstract: *In the paper the digital PID control design of the synchronous generator excitation is presented. The purpose of the described approach is to overcome the short time available for controller tuning during commissioning as well as to avoid the aggressive tuning methods. Thus, it is necessary to perform the initial control constants adjusting on the appropriate laboratory model of the generator and exciter machine. It is reported that such derived parameter values are close to final field values.*

Key words: *Digital exciter control, PID regulator, synchronous generator*